

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002117684 A**

(43) Date of publication of application: **19.04.02**

(51) Int. Cl. **G11C 13/00**

(21) Application number: **2001281128**

(22) Date of filing: **17.09.01**

(30) Priority: **15.09.00 US 2000 663016**

(71) Applicant: **HEWLETT PACKARD CO <HP>**

(72) Inventor: **PERNER FREDERICK A  
ANTHONY THOMAS C**

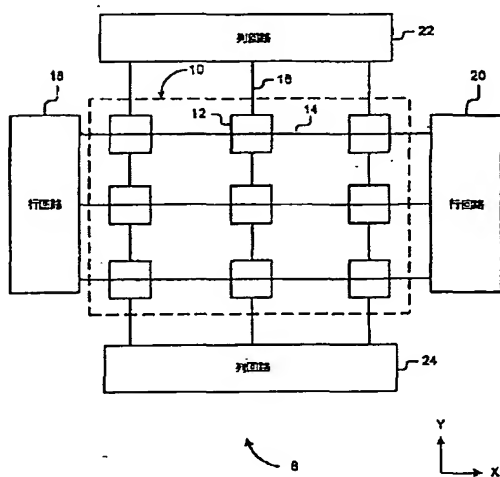
**(54) WRITE-ONCE TYPE THIN-FILM MEMORY**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a data memory which can perform write-once operations by applying a write-in potential.

**SOLUTION:** A data memory device is provided with a group of thin-film memory cells. Write-once operation can be performed by damaging the thin-film barriers of at least some of the memory cells. The data memory device can be a magnetic random access memory(MRAM).

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号  
特開2002-117684  
(P2002-117684A)  
(43)公開日 平成14年4月19日(2002.4.19)

(51)Int.Cl.<sup>7</sup> 識別記号 FI テーマコード (参考)  
G11C 13/00 G11C 13/00 Z

審査請求 未請求 請求項の数10 OL (全10頁)

(21)出願番号 特願2001-281128(P2001-281128)  
(22)出願日 平成13年9月17日(2001.9.17)  
(31)優先権主張番号 09/663016  
(32)優先日 平成12年9月15日(2000.9.15)  
(33)優先権主張国 米国 (US)

(71)出願人 398038580  
ヒューレット・パカード・カンパニー  
HEWLETT-PACKARD COMPANY  
アメリカ合衆国カリフォルニア州パロアルト  
ハノーバー・ストリート 3000  
(72)発明者 フレデリック・エイ・バーナー  
アメリカ合衆国カリフォルニア州94306,  
パロ・アルト, ラモナ・ストリート 3234  
(74)代理人 100099623  
弁理士 奥山 尚一 (外2名)

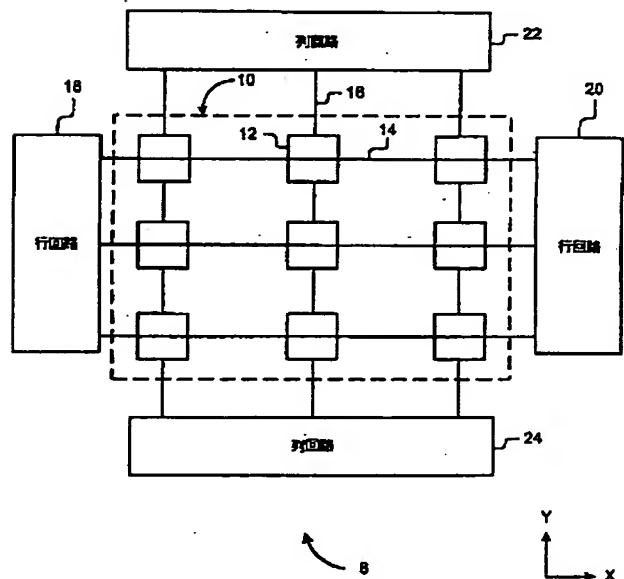
最終頁に続く

(54)【発明の名称】 追記型薄膜メモリ

(57)【要約】

【課題】 書き込み電位の印加によって追記動作を行うことができるデータ記憶を提供する。

【解決手段】 データ記憶装置は、薄膜メモリセルのグループを備える。メモリセルの少なくともいくつかの薄膜バリアを破損することで、追記動作を行うことができる。データ記憶装置は、磁気ランダムアクセスメモリ (MRAM) 装置とすることができる。



## 【特許請求の範囲】

【請求項1】 薄膜メモリセルのグループと、書き込み電位を前記メモリセルの少なくともいくつかに印加する回路と、を備え、前記メモリセルは、前記書き込み電位を印加すると破損する薄膜バリアを有することを特徴とするデータ記憶装置。

【請求項2】 前記グループはメモリセルのアレイであることを特徴とする請求項1記載の装置。

【請求項3】 前記回路は、書き換え動作中では、第1および第2の書き込み電位を前記メモリセルの第1のグループで交差するワード線およびビット線に印加し、前記第1のグループの選択されたメモリセルにおいて誘電破壊を引き起こさず、また追記動作中では、第3および第4の書き込み電位をメモリセルの第2のグループで交差するワード線およびビット線に印加し、前記第3および第4の書き込み電位は、前記第2のグループの選択されたメモリセルにおいて誘電破壊を引き起こすことを特徴とする請求項2記載の装置。

【請求項4】 前記第1のグループのメモリセルは、第1の論理値に対応する公称抵抗と第2の論理値に対応する第2の抵抗状態との間で切り替えることができ、前記第2のグループのメモリセルは、前記第1の論理値に対応する公称抵抗か、あるいは前記第2の論理値に対応する第3の抵抗のいずれかを有し、前記公称抵抗、前記第2および第3の抵抗は異なることを特徴とする請求項3記載の装置。

【請求項5】 複数のワード線およびビット線をさらに含み、各メモリセルは1本のワード線と1本のビット線との交点にあり、前記回路は、

センス増幅器と、それぞれ、読み出し動作および書き込み動作の双方では、選択されたワード線を接地に接続し、読み出し動作中には、選択されていないワード線をアレイ電圧に接続し、追記動作中には、選択されていないワード線を半分選択書き込み電圧に接続する、各ワード線ごとに1つの第1のスイッチと、

それぞれ、読み出し動作および書き換え動作中に、選択されたビット線を前記センス増幅器に接続し、読み出し動作中に、選択されていないビット線をアレイ電圧に接続し、追記動作中に選択されていないビット線を半分選択電圧に接続する、ビット線ごとに1つの第2のスイッチと、を備えることを特徴とする請求項2記載の装置。

【請求項6】 前記センス増幅器は、読み出し動作中に、選択されたメモリセルの抵抗状態を感知し、書き換え動作中には書き換え電位を選択されたメモリセルに印加し、追記動作中には、接地電位を印加して選択されたメモリセルに論理「0」を書き込むと共に、2倍の半分選択電圧を選択されたメモリセルに印加して論理「1」を書き込むことを特徴とする請求項5記載の装置。

【請求項7】 前記回路は、選択されたメモリセルの抵抗状態を感知するため、比率型カレントミラーおよびバッファ増幅器を備えることを特徴とする請求項2記載の装置。

【請求項8】 前記グループは、追記型メモリセルのレジスタを備えることを特徴とする請求項1記載の装置。

【請求項9】 前記回路は、差動増幅器および基準素子を備え、前記差動増幅器は、選択されたメモリセルに対する読み出し動作中に、該選択されたメモリセルを流れるセンス電流と、前記基準素子を流れる基準電流の間の差を示し、該差は前記選択されたメモリセルの抵抗状態を示し、前記差動増幅器は書き込み動作中には全書き込み電圧を生成し、前記回路は、入力線の状態に応じてノードをプルダウンするトランジスタをさらに備えることを特徴とする請求項8記載の装置。

【請求項10】 各メモリセルは、メモリ素子と、該メモリ素子用のアクセストランジスタと、を備え、前記メモリ素子に印加される電圧は、前記アクセストランジスタのゲート電圧を制御することで制限されることを特徴とする請求項1記載の装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ記憶装置に関する。特に本発明は、追記型薄膜データ記憶装置に関する。

【0002】

【従来の技術】新しいタイプの不揮発性薄膜メモリには、スピン依存型トンネル (SDT: spin dependant tunneling) 接合をベースとする磁気ランダムアクセスメモリ (MRAM) が含まれる。典型的なSDT接合は、ピン留め (pinned) 強磁性層、センス (sense) 強磁性層、および上記強磁性層に挟まれた薄膜絶縁トンネルバリアを有する。論理値は、SDT接合の磁化方向を平行 (論理値「0」) または反平行 (論理値「1」) にセットする磁界を印加することで、SDT接合に書き込むことができる。強磁性層のスピン偏極の相対方向および大きさが、SDT接合の抵抗状態 ( $R$  または  $R + \Delta R$ ) を決定する。SDT接合に記憶される論理値は、SDT接合の抵抗を感知することで読み出すことができる。

【0003】別のタイプの不揮発性薄膜メモリは、極性導電性高分子材料をベースとするポリマーメモリ (polymer memory) である。データは、高分子における「永久分極」として記憶される (データを「永久磁気モーメント」として記憶するSDT接合とは対照的である)。ポリマーメモリ素子は、電界を印加することで書き込まれる。ポリマーメモリ素子の抵抗状態 ( $R$  または  $R + \Delta R$ ) は、高分子の分極方向に依存する。ポリマーメモリ素子は、抵抗を感知することで読み出すことも可能である。

【0004】これらの薄膜メモリ素子は、書き換え可能

である。すなわち、データをこれらの素子に多数回書き込むことができる。

【0005】それとは対照的に、追記型メモリでは、データを一度だけしか書き込むことができない。追記型メモリは、チップ／製造業者ID、アクセスコード、およびエラーマップ等、キーチップ情報を永久的に記憶するために一般的に用いられている。

【0006】

【発明が解決しようとする課題】キーチップ情報を記憶するための典型的なデバイスとしては、消去可能プログラマブル読み取り専用メモリ (EPROM) デバイスおよびヒューズプログラマブルデバイスが挙げられる。しかし、EPROMおよびヒューズプログラマブルデバイスは、MRAMおよびポリマーメモリデバイスの高密度特徴および低電圧特徴を示さない。さらに、EPROMおよびヒューズプログラマブルデバイスは、MRAMおよびポリマーメモリデバイスとの一体化が容易ではない。

【0007】

【課題を解決するための手段】本発明の一態様によれば、データ記憶装置は、薄膜メモリセルのグループと、書き込み電位を前記メモリセルの少なくともいくつかに印加する回路と、を備える。メモリセルは、書き込み電位が印加されると破損する薄膜バリアを有する。上記メモリセルの少なくともいくつかの薄膜バリアを破損することで、追記動作を行うことができる。

【0008】本発明の他の態様および利点は、添付の図面と共に本発明の原理を例によって示す以下の詳細な説明から明らかになるであろう。

【0009】

【発明の実施の形態】例示目的で図面に示すように、本発明は、薄膜メモリセルとメモリセルを読み出すと共に書き込む回路とを備えるデータ記憶装置において具体化される。少なくともいくつかのメモリセルの薄膜バリアを破損することで、追記動作を行うことができる。

【0010】図1を参照すると、図1には、薄膜メモリセル12の抵抗交点アレイ10を含むデータ記憶装置8が示されている。メモリセル12は行および列に配列されており、行がx方向に、および列がy方向に延びている。装置8の説明を簡単にするために、比較的少数のメモリセル12のみが示されている。実際には、任意のサイズのアレイを使用する。

【0011】ワード線14として機能するトレースは、アレイ10の片側で一平面内をx方向に延びている。ビット線16として機能するトレースは、アレイ10の反対側で一平面内をy方向に延びている。アレイ10の各行ごとに1本のワード線14を設け、アレイ10の各列ごとに1本のビット線16を設けることができる。各メモリセル12は、対応するワード線14とビット線16との交点に位置している。

【0012】メモリセル12は、多くの並列バスを通して共に結合された抵抗素子を含むため、抵抗交点アレイを形成する。1つの交点に見られる抵抗は、その他の行および列におけるメモリセル12の抵抗と並列する、その交点のメモリセル12の抵抗に等しい。

【0013】装置8はさらに、読み出し動作中および書き込み動作中に、選択されたメモリセルに読み出しおよび書き込み電位を印加する読み出し／書き込み回路を備える(第1および第2の行回路18および20と、第1および第2の列回路22および24とで表される)。読み出しおよび書き込み電流を生成するため、第1および第2の行回路18および20が適切な電位をワード線14に印加すると共に、第1および第2の列回路22および24が適切な電位をビット線16に印加する。

【0014】第2の列回路24は、選択されたメモリセルの抵抗状態を感知するセンス増幅器も備える。抵抗状態は、記憶されている論理値を表す。

【0015】アレイ内のメモリセルは多くの並列バスを通して共に結合されているため、読み出し動作中に、スニークバス電流が問題を呈することがある。スニークバス電流は、ブロックされない場合に感知を不明瞭にする傾向がある。

【0016】読み出し動作中に、スニークバス電流をブロックする様々な方法がある。たとえば、装置8は、選択されたセルを分離するスイッチまたはダイオードを備え、それによってスニークバス電流をブロックすることができる。

【0017】あるいは、参照することで本明細書に援用する2000年3月3日付けで出願された譲渡人の米国特許出願第09/564,308号に開示されている

「等電位」法を実施することで、スニークバス電流をブロックすることもできる。読み出し電位は選択されたメモリセルに交差するビット線に印加することができ、接地電位は選択されたメモリセルに交差するワード線に印加することができる。その結果、選択されたメモリセルにセンス電流が流れる。スニークバス電流によりセンス電流が不明瞭になるのを防止するため、選択されていないビット線および選択されていないワード線のサブセットに同一電位が印加される。

【0018】書き込み動作中、読み出し／書き込み回路は、書き込み電位を選択されたワード線14およびビット線16に印加する。その結果、選択されたワード線14およびビット線16の周囲に電界または磁界が発生する。双方の磁界が形成されるメモリセル12(すなわち、選択されたワード線と選択されたビット線との交点に位置するメモリセル)が「選択された」メモリセルと呼ばれる。選択されたワード線14に沿ったその他すべてのメモリセル12には、2つの磁界のうちの一方が形成され、選択されたビット線16に沿ったその他すべてのメモリセル12では2つの磁界のうちの他方が形成さ

れる。2つの磁界のうち的一方が形成されるこれらのメモリセル12は、「半分選択された」メモリセルと呼ばれる。アレイ10内の残りのメモリセル12は、「選択されていない」メモリセルと呼ばれる。

【0019】書き換え型動作は、第1および第2の書き込み電位をワード線14およびビット線16に印加することで行うことができる。その結果、選択されたメモリセルの抵抗状態を公称値(R)か、より高い値( $R + \Delta R$ )にセットする磁界が生じる。第1および第2の書き込み電位は、選択されたメモリセルの薄膜バリア(たとえば、トンネル絶縁バリア)の誘電破壊を引き起こさない。その結果、抵抗状態を繰り返し変更することが可能である。

【0020】追記動作は、第3および第4の書き込み電位をワード線14およびビット線16に印加することで行うことができる。第3および第4の書き込み電位は、半分選択されたメモリセルの薄膜バリアの誘電破壊を引き起こさないが、選択されたメモリセルの薄膜バリアの誘電破壊を引き起こす。その結果、第3および第4の書き込み電位は、薄膜バリアに過大負荷をかける、すなわち破壊させ、選択されたメモリセルが永久的に低抵抗状態に変更される。読み出し電流は、未破壊薄膜バリアを破壊しない。本発明による追記型薄膜メモリセルの抵抗状態は、高抵抗状態から低抵抗状態に一度だけ変更可能である。

【0021】1つまたは複数のメモリセル12のグループを追記動作に指定し、残りのメモリセル12を書き換え型動作に指定することが可能である。追記動作に指定されたグループでは、薄膜が破損しているメモリセルが第1の論理状態を表し、薄膜が破損していないメモリセルが第2の論理状態を表す。

【0022】メモリセルは、列により便利にグループ化することができる。すなわち、メモリセル12の「追記型」列を追記動作に指定し、メモリセル12の「書き換え型」列を書き換え型動作に指定することができる。このようにグループ化することにより、ある書き込み回路を追記型列用に製造し、別の書き込み回路を書き換え型列用に製造できる。追記型列用の書き込み回路は、第3および第4の書き込み電位を選択されたメモリセルに印加し、書き換え型列用の書き込み回路は、第1および第2の書き込み電位を選択されたメモリセルに印加する。あるいは、第1および第2の動作電位を選択されたメモリセルに印加するか、あるいは第3および第4の動作電位を選択されたメモリセルに印加するように、1つの書き込み回路を設計することも可能である。

【0023】アレイ10の製造プロセスを変更する必要はなく、追記動作に設計されたメモリセル12は、書き換え型動作に設計されたメモリセル12と同じ構造を有する。しかし、破壊パラメータが、読み出し/書き込み回路用の書き込みドライバによってセットされる制限内

の狭い範囲に制御されるように、製造プロセスを制御する必要がある。

【0024】次に、抵抗状態の異なる追記型薄膜メモリセル12を示す図2aおよび図2bを参照する。各薄膜メモリセル12は、抵抗メモリ素子30を含む。各抵抗メモリ素子30そのものは、第1の導体32、第2の導体34、およびその間に高抵抗薄膜バリア36を備える。たとえば、SDT接合では、第1の導体32はフリー強磁性層であり、第2の導体34はピン留め強磁性層であり、薄膜バリア36は絶縁トンネルバリアであることができる。ポリマーメモリ素子では、第1の導体32は金属であり、第2の導体34も金属であり、薄膜バリア36はポリマーメモリ材料であることができる。

【0025】薄膜バリア36の厚さは、第3および第4の書き込み電位が印加されたときにバリアが破壊され、第1および第2の書き込み電位が印加されたときには破壊されないように選択される。誘電破壊は概して、臨界電圧よりもむしろ臨界電界において発生する。

【0026】図2aに示すメモリセル12の薄膜バリア36はまだ破壊、過大負荷付与、あるいは破損されていない。したがって、メモリセル12は、第1の論理値に対応する公称抵抗を有する。センス電流が選択されたメモリセル12を流れても、薄膜バリアは破壊されない。

【0027】図2bに示すメモリセル12の薄膜バリアは、すでに破壊されている。したがって、図2bに示すメモリセル12は、公称抵抗よりも低い抵抗を有する。この低抵抗は第2の論理値に対応する。

【0028】図2aに示す抵抗メモリ素子30の抵抗(破損していないバリア)は1メガオームのオーダーであり、図2bに示す抵抗メモリ素子30の抵抗(破損したバリア)は100オームから10000オームのオーダーであることができる。対照的に、書き換え型メモリセルの抵抗メモリ素子は、一方の抵抗状態では1メガオーム、そして他方の抵抗状態では1.1メガオームのオーダーの抵抗を有する。

【0029】メモリ素子30が0に近い抵抗を有する場合、読み出しおよび書き込み動作中に大きすぎる読み出しおよび書き込み電流が生じる場合がある。このようなメモリ素子30が大きな電流を引き込むのを防止するため、レジスタ38を抵抗メモリ素子30に直列接続することができる。直列接続されるレジスタ38の抵抗は、読み出し動作に与える影響の最小化に十分なほど低く、かつ書き込み動作に与える影響の最小化に十分なほど高くあるべきである。したがって、直列接続されたレジスタ38の実際の抵抗は、読み出し動作中のセンス電流の感知を劣化させることなく、また書き込み動作中の書き込み電流を劣化させることなく、メモリ素子30を分離すべきである。直列接続されたレジスタ38の抵抗範囲は、公称値の0.1%と50%の間であることができる。したがって、抵抗メモリ素子30のバリア36が破

損している場合、メモリセル 12 の抵抗は少なくとも直列接続されたレジスタ 38 の抵抗に等しい。参照することにより本明細書に援用する、2000 年 9 月 15 日付で出願された「SHORT-TOLERANT RESISTIVE CROSS POINT ARRAY」(代理人整理番号 10001383-1) という名称の譲渡人の米国特許出願第 09/663752 号は、メモリ素子と直列接続される抵抗素子を開示している。

【0030】次に、メモリセルの読み出し電圧および書き込み電圧を示す図 3 を参照する。最大読み出し電位 ( $V_{1111}$ ) は、最小追記電圧 ( $V_{1111}$ ) よりも低い。追記動作の電圧は、最小追記電圧 ( $V_{1111}$ ) よりも高く、全電圧  $V_{11}$  以下である。したがって、読み出し電圧および追記電圧は重複しない。

【0031】追記動作の電圧は、短時間印加される。破壊閾値を一旦越えると、誘電破壊がすぐに発生する。追記動作は、単一のクロック周期 (10~30 ナノ秒) 内で行うことができる。破壊電流を監視し、破壊が検出されるとすぐに追記電圧を取り除くことが可能である。しかし、追記電圧を固定された短時間印加するほうがより単純である。

【0032】書き換え動作中に印加される電圧は、最大読み出し電圧 ( $V_{1111}$ ) である、メモリセルの破壊限度によって制限される。したがって、書き換え動作中の電圧は、最大読み出し電圧 ( $V_{1111}$ ) よりも低い。読み出し動作中の通常の電圧は、接地電位 (GND) と書き換え動作電圧との間にある。

【0033】第 1 の行回路 18 および第 2 の列回路 24 をより詳細に示す図 4a および図 4b を参照する。第 1 の行回路 18 は、各ワード線 14 ごとに第 1 のスイッチ 52 を備える。第 1 のスイッチ 52 は 3 つの機能を行う。すなわち、読み出し動作および書き込み動作の双方では、選択されたワード線 14 を接地に接続すること、読み出し動作中では、選択されていないワード線 14 をアレイ電圧 ( $V_s$ ) に接続すること (等電位読み出しの実行を可能にする)、および追記動作中では、選択されていないワード線 14 を半分選択書き込み電圧 ( $V_w$ ) に接続すること、である。追記および書き換え機能が組み合わせられる場合、第 1 のスイッチ 52 は、書き換え書き込み動作中に、選択されていない行に開回路を提供する。半分選択電圧 ( $V_w$ ) は、破壊電圧よりも低い。

【0034】第 2 の行回路 20 は、読み出し動作および追記動作中では、すべてのワード線を高インピーダンス (たとえば、開スイッチ) に接続する。書き換え動作中では、第 2 の行回路 20 は、行書き込み電圧をすべてのワード線 14 に印加するか、あるいは行書き込み電圧を選択されたワード線 14 にのみ供給し、選択されていないワード線を高インピーダンス (たとえば、開スイッチ) に接続する。

【0035】第 1 の列回路 22 は、読み出し動作および

追記動作中、すべてのビット線 16 を高インピーダンスに接続する。書き換え動作中では、第 1 の列回路 22 は、選択されたビット線 16 を回路 18~24 に接続し、選択されていないビット線 16 をすべて高インピーダンス (たとえば、開スイッチ) に接続する。

【0036】第 2 の列回路 24 は、センス増幅器 54 と、複数の第 2 のスイッチ 56 とを備える。第 2 のスイッチ 56 はそれぞれ 3 つの機能を行う。すなわち、読み出し動作および書き換え動作中に、選択されたビット線 16 をセンス増幅器 54 に接続すること、読み出し動作中に、選択されていないビット線 16 をアレイ電圧 ( $V_s$ ) に接続すること、および追記動作中に選択されていないビット線 16 を半分選択電圧 ( $V_w$ ) に接続すること、である。センス増幅器 54 は、選択されたビット線に接続されると、読み出し動作中では選択されたメモリセルの抵抗状態を感知し、書き換え動作中では書き換え電位を印加する。追記動作中では、センス増幅器 54 は、接地電位を印加して論理「0」を書き込み、2 倍の半分選択電圧 ( $2V_w$ ) を印加して論理「1」を書き込む。2 倍の半分選択電圧を印加することで、破壊が引き起こされる。

【0037】図 4a は、読み出し動作中の第 1 の行回路 18 および第 2 の列回路 24 を示す。読み出し動作中、第 1 のスイッチ 52 は、選択されたワード線 14 を接地に接続し、選択されていないワード線 14 をアレイ電圧 ( $V_s$ ) に接続し、第 2 のスイッチ 56 は、選択されたビット線 16 をセンス増幅器 54 に、そして選択されていないビット線 16 をアレイ電圧 ( $V_s$ ) に接続する。センス増幅器 54 は、読み出し電位を選択されたビット線に印加し、センス電流を感知する。

【0038】図 4b は、書き込み動作中の第 1 の行回路 18 および第 2 の列回路 24 を示す。追記動作中では、第 2 のスイッチ 56 が書き込み電位 (GND あるいは  $2V_w$  のいずれか) を選択されたビット線 16 の一端に、そして半分選択書き込み電位 ( $V_w$ ) を選択されていないビット線 16 に印加する。第 1 のスイッチ 52 は、書き込み電位 (GND) を選択されたワード線 14 に、そして半分選択書き込み電位 ( $V_w$ ) を選択されていないワード線 14 に印加する。選択されたビット線 16 および選択されたワード線 14 の交点にあるメモリセル 12 には、論理「1」を書き込むには破壊電圧よりも高い電圧 ( $2V_w$ ) が生じ、論理「0」を書き込むにはゼロの電圧が生じる一方、選択されていないすべてのメモリセルはゼロ電圧か、あるいは半分選択電圧が生じる。

【0039】したがって、EPROM およびヒューズプログラムブルメモリよりも高密度な追記型薄膜メモリが開示される。追記型薄膜メモリはまた、EPROM およびヒューズプログラムブルメモリよりも低い電圧で動作する。 $V_{11}$  全電圧を用いて、薄膜バリアに過大負荷を付与することができる。したがって、追記型薄膜メモリセ

ルの書き込みには、ヒューズプログラマブルデバイスのメモリセルよりも低いエネルギーが用いられる。そして、低エネルギーのため、構造的な破損が少なくなると共に信頼性が高くなる。読み出しおよび書き込み電圧が低いことで、追記型薄膜メモリが最先端のCMOS技術と互換性があるものになる。

【0040】追記型薄膜メモリは、書き換え型薄膜メモリを製造する際に用いるものと同じ構成要素およびプロセス技術で製造される。追記型および書き換え型のメモリセルを混ぜるために、製造プロセスを変更する必要はない。したがって、EPROMおよびヒューズプログラマブルメモリとは異なり、追記型メモリセルは、書き換え型メモリセルと同じシリコン基板上で混ぜることができる。追記型および書き換え型のメモリセルを混ぜる利点としては、基本的なメモリ構造が同じであること、および追記型メモリ用の読み出し回路の設計がより単純であること、が挙げられ、これらの利点により、回路の電源投入サイクル中に、追記型メモリのサブセットを自動的に感知することが可能になる。別の利点は、追記型データが永久的に記憶され、ID、セキュリティ、電源投入構成やアプリケーションコードの記憶に用いることが可能なことである。したがって、チップ／製造業者ID、アクセスコード、およびエラーマップ等のキータップ情報の記憶に、別個のチップが必要ない。

【0041】追記型薄膜メモリは、頑強 (robust) な読み出し動作を有する。論理「1」および「0」状態間の差は比較的大きい。たとえば、「0」の書き込みを1メガオームの抵抗で表し、「1」の書き込みを1000オームの低抵抗で表すことができる。このような大きな差は比較的検出し易く、読み出し回路の設計が単純化される。

【0042】装置8は、任意特定タイプの薄膜メモリに限定されない。MRAMおよびポリマーメモリは2つのタイプにすぎない。MRAMメモリ素子は、SDT接合および巨大磁気抵抗 (GMR) デバイスを含むことができる。

【0043】読み出し動作中にスニークバス電流のブロックにダイオードまたはスイッチを用いる場合、読み出し回路は、センス電流を生成するために、選択されたメモリセルで交差するワード線およびビット線に適切な電位を印加する必要があるだけである。

【0044】追記型薄膜メモリセルは、アレイ10内のいずれの場所にあってもよい。しかし、追記型メモリセルは、より頑強なセンス増幅器を追記型メモリに使用できるようにするために、書き換え型メモリセルから分離してもよい。追記型メモリセルの別個のグループは電源投入時に動作し、構成データ、エラーマップ、またはIDデータの設定等、特別な機能を提供することができる。

【0045】図5は、代替のメモリセル110を示して

おり、これは、追記型薄膜抵抗メモリ素子112と、上記抵抗メモリ素子112に直列接続されたアクセストランジスタ114を備える。図6は、読み出し動作および追記動作中に印加される電圧を示している。代替のメモリセル110に対する読み出し動作中、アクセストランジスタ114はソースフォロアとして動作することができ、追記型メモリ素子112にわたって印加される電圧 ( $V_i$ ) は、アクセストランジスタゲートへの電圧 ( $V_{gate}$ ) からアクセストランジスタ114の人体効果

閾値電圧を差し引いたものに等しい。ゲート電圧 ( $V_{gate}$ ) は、追記型メモリ素子112にわたって低電圧 ( $V_i$ ) が保たれるように、低く保たれる。アクセストランジスタ114は電流源として機能し、アクセストランジスタ114のソースにおけるメモリ素子112をアクセストランジスタ114のドレインに接続されたセンス増幅器116から分離する。アクセストランジスタ114のドレインのセンス電圧 ( $V_{i,v}$ ) は、読み出し動作中に、メモリ素子112の薄膜バリアを破損せずに、高くなることができる。センス増幅器116は、センス電流 ( $i_{i,v}$ ) を閾値と比較して、追記型メモリ素子112の抵抗状態を決定することができる。

【0046】 $V_{i,v}$  全電圧をアクセストランジスタ114のゲートおよびドレインに印加することで、データをメモリセル110に書き込むことができる。したがって、 $V_{gate} = V_{i,v}$  かつ  $V_{i,v} = V_{i,v}$  である。その結果メモリ素子112に印加される電圧 ( $V_i$ ) が薄膜バリアに過大負荷をかけ、破損させる。過大負荷が発生すると、ゲート電圧 ( $V_{gate}$ ) が除去される。ゲート電圧 ( $V_{gate}$ ) は、1クロック期間未満の持続期間で印加することができる。

【0047】アクセストランジスタ114は、追記動作に指定されたメモリセル110においてのみ使用しても、すべてのメモリセル110において使用してもよい。すべてのメモリセル110で使用される場合、読み出し動作中に、スニークバス電流によりセンス電流が不明瞭になるのを防止するように、アクセストランジスタ114を制御することが可能である。

【0048】図7は、代替の追記型メモリセル110のアレイ212を含むデータ記憶装置210を示す。アクセストランジスタ114のゲートはワード線214に接続され、アクセストランジスタ114のドレインはビット線216に接続される。装置210は、電流モードセンス増幅器218と、ビット線アクセストランジスタ220とをさらに備える。基準素子222は、センス電流 ( $i_s$ ) との比較に基準電流 ( $i_r$ ) を提供するために用いられる。

【0049】読み出し動作中、メモリセル110が、そこで交差するワード線214およびビット線216を選択することで選択される。センス電流 ( $i_s$ ) が選択されたメモリセル110を流れる。加えて、トランジスタ



224が閉じられ、そのため基準電流( $i_r$ )が基準素子222を流れる。基準電流( $i_r$ )の大きさは、未破損バリア論理「0」に対応するセンス電流と論理「1」に対応するセンス電流の間である。たとえば、基準電流の大きさは、バリアがまだ破損されていないメモリセルを流れるセンス電流の予期される大きさの4倍である。

【0050】電流モードセンス増幅器218は、バッファ増幅器226と、比率型(ratioed)カレントミラー228とを備え、センス電流( $i_s$ )を比率型カレントミラーと比較して、選択されたメモリセル110の抵抗状態を決定する。比率型カレントミラー228は、3つのpチャンネルトランジスタと、2つのnチャンネルトランジスタを含む。1つのpチャンネルトランジスタ230は、隣接するpチャンネルトランジスタ232よりも大きい。たとえば、1つのpチャンネルトランジスタ230が隣接するpチャンネルトランジスタ232の4倍大きい場合、センス電流( $i_s$ )は基準電流( $i_r$ )の3倍である。基準電流( $i_r$ )は、選択されたメモリセル110のバリアが破損されていない(高抵抗)場合には、センスノード(xs)をプルアップし、選択されたメモリセル110のバリアが破損されている(低抵抗)場合には、センスノード(xs)をプルダウンする。

【0051】バッファ増幅器224は、センス増幅器コンパレータおよび出力ドライバとして機能するために、直列接続された一対のインバータを備えることができる。上記インバータ対は、増幅器出力に接続された回路からの高インピーダンスノード(ノードY1)をバッファリングするという機能を果たす(すなわち、インバータ対は、入出力をバッファリングすると共に、入力信号を増幅する)。インバータ対はまたコンパレータとしても機能し、センスノード(xs)がインバータ対の切り替え閾値未満の場合には、バッファ増幅器226が論理「0」を表す出力信号(D<sub>in</sub>)を報告し、センスノード(xs)が切り替え閾値よりも上である場合には、出力信号(D<sub>in</sub>)は論理「1」を表す。したがって、センス増幅器218はカレントミラーコンパレータとして機能する。

【0052】データは、ビット線アクセストランジスタ220へのゲート信号(d0~dn)およびリセットトランジスタ234を、図5および図6と共に説明した追記条件に従って制御することにより、選択されたメモリセル110に書き込まれる。リセットトランジスタ234の機能は、読み出し動作の間に、センスノード(xs)をプルアップし、図6において説明した書き込み動作中には書き込み電位を供給することである。

【0053】本発明はメモリセルアレイに限定されない。たとえば、追記型レジスタは追記型薄膜メモリセルを備えてもよい。追記型レジスタはワード線を持たない。メモリセルは、ビット線のみを選択することによって選択される。選択されたビット線に全書き込み電位を

印加すると、選択されたメモリセルで誘電破壊が発生する。

【0054】次に、メモリセル312を含む追記型レジスタ310を示す図8を参照する。メモリセル312は、薄膜素子314と、アクセストランジスタ316と、書き込みトランジスタ318とを含む。書き込みトランジスタ318のドレインソースバスは、アクセストランジスタ316のドレインソースバスを横切って結合される。追記型レジスタ310はさらに、第1のノード(na)と第2のノード(nb)の間に接続された差動増幅器320を備える。差動増幅器320は、基準セル322および薄膜素子314に対して低い読み出し電圧を維持しながら、基準セル322と薄膜素子314の間の抵抗差を感知するよう構成される。差動増幅器320はまた、書き込み電圧を追記型薄膜素子314に印加する。

【0055】図9をさらに参照する。読み出し動作および書き込み動作は、第1、第2、および第3のクロック信号(LV1、LV2、LV3)、等化信号(EQ)、および書き込み信号(W)によって制御される。これらの信号は、制御信号発生器324によって生成される。

【0056】データ書き込み信号(D<sub>in</sub>)が、第1のノード(na)と接地の間に結合されたドレインソースバスを有するトランジスタ326のゲートに供給される。データ書き込み信号(D<sub>in</sub>)のコンプリメントを表す信号(D<sub>inb</sub>)が、第2のノード(nb)と接地の間に結合されているドレインソースバスを有するトランジスタ328のゲートに供給される。レジスタ310に信頼性があるように書き込むために、トランジスタ326および328は、データ書き込み信号(D<sub>in</sub>)のレベルに応じて第1あるいは第2のノード(naあるいはnb)をプルダウンするよう制御される。

【0057】書き込み動作は、pチャンネルトランジスタ330をオンし、差動増幅器320の中間ノードを全V<sub>DD</sub>レベルにし、データ書き込み信号(D<sub>in</sub>)をトランジスタ326のゲートに供給することで、行われる。データ書き込み信号(D<sub>in</sub>)がローである場合、第1のノード(na)での電圧が浮動し、第2のノード(nb)での電圧が強制的にローになる。その結果、書き込み信号(W)がアサートされる場合、追記型素子314に電圧は印加されない。したがって、書き込み信号

(W)がアサートされているとき、追記型素子314の抵抗が高い場合、それは高いままである。

【0058】しかし、データ書き込み信号(D<sub>in</sub>)が高い場合、差動増幅器320は第2のノード(nb)において全V<sub>DD</sub>電圧に駆動される。書き込みアクセストランジスタ318がオンされ、書き込み信号Wがアサートされると、第2のノード(nb)での電圧が強制的に全V<sub>DD</sub>電圧まで高くなり、この高電圧が薄膜素子314に印加される。高電圧により、薄膜素子314で誘電破壊



が発生する。

【0059】読み出し動作中、差動増幅器320は薄膜素子314の状態を2つのステップで感知する。まず、 $n$ チャンネルトランジスタ332をオンして(第1のクロック信号LV1により)、第1および第2のノード( $n_a$ および $n_b$ )での電圧を低電圧(約 $V_{th}/2$ )にする。次に、等化トランジスタ334がオンされ(等化信号EQにより)、双方のノード( $n_a$ および $n_b$ )を強制的に等しい(低)電圧にすると共に、アクセストランジスタ316および336をオンして(第3の制御信号LV3により)、メモリと基準セル312および322とを差動増幅器320の入力に接続する。等化信号EQが除去されると、差分電圧が第1および第2のノード( $n_a$ および $n_b$ )にわたって生じる。この差分電圧は、基準セル322の抵抗と比較した薄膜素子314の抵抗によって決定される。基準セル322の抵抗は、薄膜素子314の公称抵抗値と、その低抵抗状態での抵抗の平均値に等しい値を有しうる。差分電圧の生成するための短い遅延の後、第3の制御信号(LV3)がアクセストランジスタ316および336をオフにし、メモリセル312および基準セル322を差動増幅器320から分離する。

【0060】第2のステップは、 $p$ チャンネルトランジスタ330をオンにして差動増幅器320のノード( $n_a$ および $n_b$ )を全 $V_{th}$ 電圧にすることで行われる。全 $V_{th}$ 電圧は、レジスタ310の状態をフルスイング論理信号として、レジスタ310のデータ出力に接続された論理回路に伝達する。レジスタ310のデータ出力は、第1のノード( $n_a$ )からとられる。

【0061】読み出し動作中、薄膜メモリ素子314は、アクセストランジスタ316および書き込みトランジスタ318によって全 $V_{th}$ から分離され、これは第3のクロック信号(LV3)および書き込み信号(W)によって制御される。アクセストランジスタ316は、電圧 $V_{th}$ をゲート電圧( $V_{gate}$ )からアクセストランジスタ316の人体効果閾値電圧を差し引いたものに制限する電圧フォロアとして機能する。アクセストランジスタ136でのゲート電圧は、第3のクロック信号(LV3)を全 $V_{th}$ 電圧未満の電圧(たとえば、 $V_{th}/2$ )に制限することで制限される。書き込み信号(W)は、書き込みトランジスタ318をオンオフスイッチとして動作する。したがって、読み出し動作中、第2のノード( $n_b$ )での高電圧は薄膜メモリ素子314に印加されない。

【0062】追記型薄膜メモリは、任意特定の適用に限定されない。任意の低コストの永久記憶アプリケーション

ンに用いることができる。チップ/製造業者ID、アクセスコード、およびエラーマップに加え、追記型薄膜メモリの適用としては、デジタルカメラ向けの追記型デジタルフィルム、追記型MP3デジタルオーディオ記憶装置、パスワードまたはセキュリティのための追記型ユーザIDフィールド、プログラムコード記憶装置等がある。

【0063】本発明は、上記説明し例示した特定の実施形態に限定されない。代わりに、本発明は、添付の特許請求の範囲に従って解釈される。

#### 【図面の簡単な説明】

【図1】薄膜メモリセルのアレイを含むデータ記憶装置の図である。

【図2】図2aおよび図2bは、論理状態の異なる追記型メモリセルの図である。

【図3】追記型メモリセルの読み出し電圧および書き込み電圧を示す。

【図4】図4aおよび図4bは、図1のデータ記憶装置の行回路および列回路の図である。

【図5】代替の追記型薄膜メモリセルの図である。

【図6】代替の追記型薄膜メモリセルの読み出しおよび書き込み電圧の図である。

【図7】代替の追記型薄膜メモリセルを含むデータ記憶装置の図である。

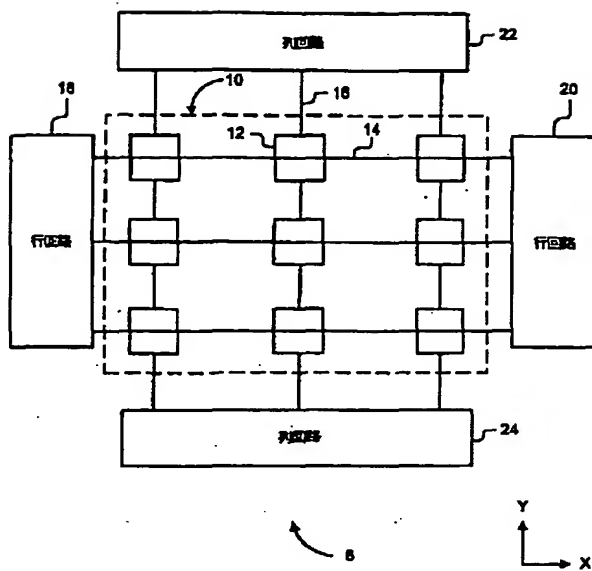
【図8】追記型薄膜メモリレジスタの図である。

【図9】追記型薄膜メモリレジスタのクロック信号の図である。

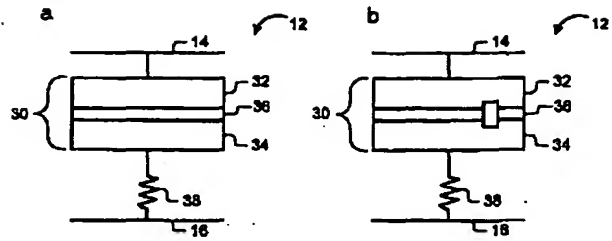
#### 【符号の説明】

- 8、210、310 データ記憶装置
- 10、212 メモリセルアレイ
- 12、110、312 薄膜メモリセル
- 14 ワード線
- 16 ビット線
- 18~24、218、320 回路
- 36 薄膜バリア
- 52 第1のスイッチ
- 54 センス増幅器
- 56 第2のスイッチ
- 112 メモリ素子
- 114 アクセストランジスタ
- 224 バッファ増幅器
- 228 比率型カレントミラー
- 320 差動増幅器
- 322 基準素子
- 326、328 トランジスタ

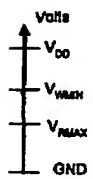
【図1】



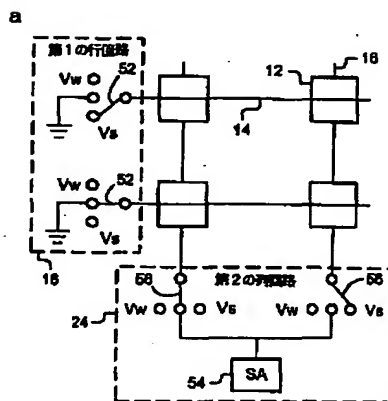
【図2】



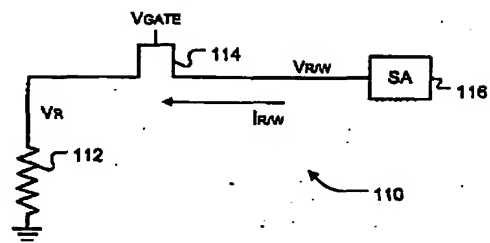
【図3】



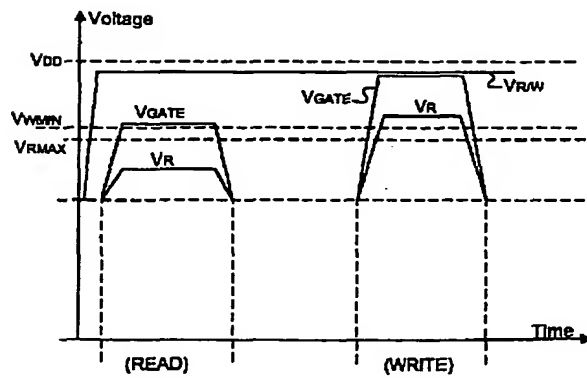
【図4】



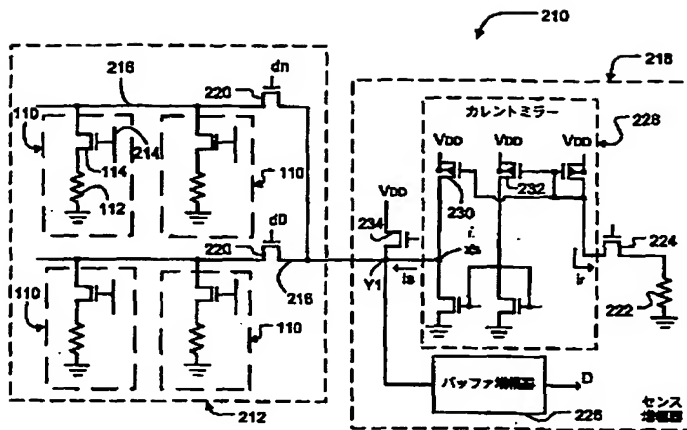
【図5】



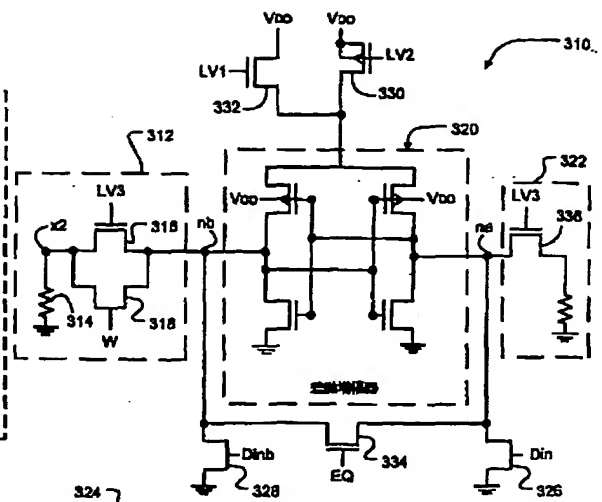
【図6】



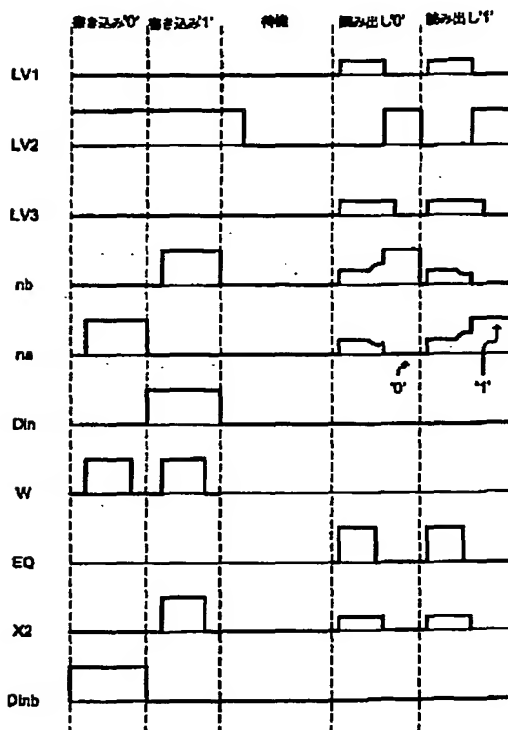
【図 7】



【図8】



【图9】



324

信号発生器

LV1

LV2

LV3

W

EQ

フロントページの続き

(72)発明者 トーマス・シー・アンソニー  
アメリカ合衆国カリフォルニア州94087,  
サニーバール, ヒメント・アベニュー 11